

CLIPPEDIMAGE= JP405047797A
PAT-NO: JP405047797A
DOCUMENT-IDENTIFIER: JP 05047797 A
TITLE: FABRICATION OF FIELD EFFECT TRANSISTOR

PUBN-DATE: February 26, 1993

INVENTOR-INFORMATION:

NAME
ONODERA, ETSU
KAWAI, NAOYUKI

ASSIGNEE-INFORMATION:

NAME
HITACHI LTD

COUNTRY
N/A

APPL-NO: JP03201716
APPL-DATE: August 12, 1991

AE 60 As

INT-CL (IPC): H01L021/338; H01L029/812
US-CL-CURRENT: 257/192

ABSTRACT:

PURPOSE: To eliminate level difference between the gate electrodes of an enhancement type FET and a depletion type FET in the fabrication of HIGFET (Heterostructure Insulated Gate FET).

CONSTITUTION: P-type impurities previously doped into the enhancement type FET forming region on a GaAs substrate 1 are diffused to a part of an n-type channel layer 5 to form a p-type diffusion layer 3a and an n-channel layer 5 thereabove is depleted to vary the depth thereof.

COPYRIGHT: (C)1993, JPO&Japio

(11)特許出願公開番号

特開平5-47797

(43)公開日 平成5年(1993)2月26日

技術表示箇所

H O 1 L 21/338

29/812

7739-4M

H O 1 L 29/ 80

H

審査請求 未請求 請求項の数 2 (全 5 頁)

特願平3-201716

平成3年(1991)8月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 小野寺 園

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 河合 直行

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

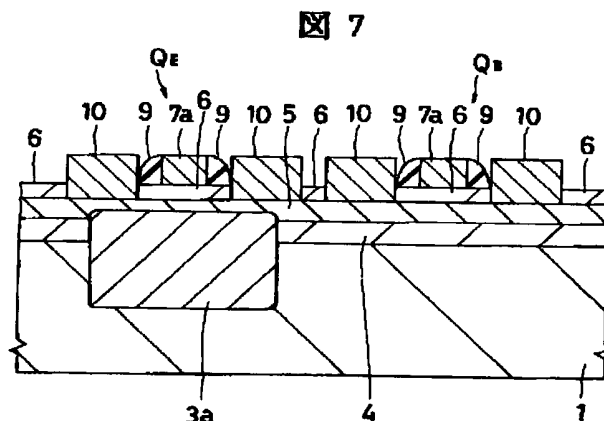
(74)代理人 弁理士 筒井 大和

(54)【発明の名称】 電界効果トランジスタの製造方法

(57)【要約】 (修正有)

【目的】 H I G F E T (Hetero structure Insulated Gate FET) の製造に際して、エンハンスメント形 F E T (Q_E) のゲート電極 (7a) とデプレッション形 F E T (Q_D) のゲート電極との間に段差が生じないようにする。

【構成】 GaAs 基板 1 のエンハンスメント形 FET 形成領域にあらかじめドーピングしておいた p 形不純物を n 形チャネル層 5 の一部に拡散させて p 形拡散層 3 a を形成し、その上部の n 形チャネル層 5 を空乏化させることによって n 形チャネル層 5 の深さを変えるようにした。



【特許請求の範囲】

【請求項1】 化合物半導体基板とゲート電極との間に前記化合物半導体基板と異なる組成の化合物半導体層を介在させた電界効果トランジスタの製造方法であって、前記化合物半導体基板のエンハンスメント形FET形成領域に所定の導電形の不純物をドーブした後、前記化合物半導体基板上に前記不純物と反対導電形のチャネル層をエピタキシャル成長させ、前記エピタキシャル成長中またはその後の熱処理によって前記不純物を前記チャネル層中に拡散させる工程を有することを特徴とする電界効果トランジスタの製造方法。

【請求項2】 前記チャネル層および前記化合物半導体層を分子線エピタキシ法を用いたエピタキシャル成長によって連続的に形成することを特徴とする請求項1記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電界効果トランジスタ(Field Effect Transistor; FET)の製造技術に関し、特に、ヘテロ接合構造を有する化合物半導体FETの一種であるHIGFET(Hetero structure Insulated Gate FET)に適用して有効な技術に関する。

【0002】

【従来の技術】 HIGFETは、化合物半導体基板とゲート電極との間に、前記基板と異なる組成の化合物半導体層を介在させたヘテロ接合構造を有している。

【0003】 従来、上記HIGFETの製造工程では、同一基板上にエンハンスメント形FET(以下、E-FETという)とデプレッション形FET(以下、D-FETという)とを形成する方法として、化合物半導体層の膜厚をE-FETとD-FETとで変える方法や、E-FET用のチャネル層とD-FET用のチャネル層とを別層に設ける方法などが用いられている。

【0004】

【発明が解決しようとする課題】 ところが、上述したHIGFETの製造方法は、いずれの場合もE-FETのゲート電極とD-FETのゲート電極との間に段差が生じてしまう。

【0005】 そのため、後の工程で下地に段差を残したまま配線を形成しようとする、配線の接続信頼性が低下するという問題がある。また、配線工程に先立って段差を平坦化しようとする、工程が増加してしまうという問題がある。

【0006】 本発明は、上記した問題点に着目してなされたものであり、その目的は、E-FETのゲート電極とD-FETのゲート電極との間に段差の生じることがないHIGFETの製造技術を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】 本発明によるHIGFETの製造方法は、化合物半導体基板のエンハンスメント形FET形成領域に所定の導電形の不純物をドーブした後、前記化合物半導体基板上に前記不純物と反対導電形のチャネル層をエピタキシャル成長させ、前記エピタキシャル成長中またはその後の熱処理によって前記不純物を前記チャネル層中に拡散させる工程を有する。

【0010】

【作用】 上記した手段によれば、化合物半導体基板にドーブした不純物をチャネル層中に拡散させることにより、E-FET形成領域のチャネル層が空乏化されるので、その上部のチャネル層の深さが実質的に変わる。

【0011】 これにより、同じチャネル層にE-FET用のチャネル層とD-FET用のチャネル層とが形成されるので、E-FETとD-FETとを同一平面上に形成することが可能となる。

【0012】

【実施例】 以下、図1乃至図7を用いて本発明の一実施例であるHIGFETの製造方法を工程順に説明する。

【0013】 まず、図1に示すように、半絶縁性を有するGaAs基板1の主面上に、E-FET形成領域を開孔したフォトレジスト膜2を形成し、これをイオン注入のマスクにしてp形不純物をドーブすることにより、GaAs基板1にp形不純物層3を形成する。上記p形不純物は、例えばMgやBeなどである。

【0014】 次に、上記フォトレジスト膜2を除去した後、図2に示すように、ノンドープのGaAsからなるバッファ層4、Siなどのn形不純物をドーブしたn形チャネル層5およびノンドープのAlGaAs層6をエピタキシャル成長によって連続的に形成する。このエピタキシャル成長は、例えば分子線エピタキシ(MBE)法を用いて行う。

【0015】 次に、図3に示すように、GaAs基板1を熱処理して前記p形不純物層3を活性化し、p形不純物層3中の不純物をバッファ層4、さらにはn形チャネル層5の一部にまで拡散させてp形拡散層3aを形成する。p形不純物の拡散は、熱処理の温度および時間によって制御する。

【0016】 このp形拡散層3aの形成により、その上部のn形チャネル層5が空乏化され、E-FET形成領域のn形チャネル層5の深さが変化する。従って、熱処理の温度および時間は、高精度に制御する必要がある。

【0017】 次に、図4に示すように、スパッタ法あるいはCVD法を用いて基板全面にゲート電極用の金属膜7を堆積する。この金属膜7は、例えばタングステン(W)などの高融点金属や、タングステンシリサイド

(WSi_x)などの高融点金属シリサイドで構成する。

【0018】次に、図5に示すように、上記金属膜7の上部に形成したフォトレジスト膜8をエッチングのマスクにして金属膜7をパターンニングし、E-FETおよびD-FETのゲート電極7aをそれぞれ形成する。金属膜7のエッチングは、例えばフッ素系のエッチングガスを用いた反応性イオンエッチングで行う。

【0019】次に、上記フォトレジスト膜8を除去した後、図6に示すように、CVD法を用いて基板全面に酸化珪素からなる絶縁膜(図示せず)を堆積し、この絶縁膜を反応性イオンエッチングでパターンニングしてゲート電極7aの側壁にサイドウォールスペーサ9を形成する。

【0020】続いて、E-FETのソース、ドレイン形成領域のAlGaAs層6およびD-FETのソース、ドレイン形成領域のAlGaAs層6をそれぞれエッチングで除去し、n形チャネル層5を露出させる。

【0021】その後、図7に示すように、上記AlGaAs層6のエッチングによって露出したn形チャネル層5の上部にソース、ドレインとなるn⁺形半導体層10を選択エピタキシャル成長させることにより、E-FET(Q_E)およびD-FET(Q_D)が完成する。このn⁺形半導体層10の選択成長は、例えばGa(CH₃)₃、AsH₃およびSi₂H₆を用いたMOCVD法で行う。

【0022】このように、本実施例によれば、E-FET(Q_E)とD-FET(Q_D)とを同一平面上に形成することができる。

【0023】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0024】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0025】(1) E-FETとD-FETとを同一の膜厚のチャネル層の上に形成することができるので、E-

FETのゲート電極とD-FETのゲート電極との間に段差が生じない。

【0026】これにより、配線の接続信頼性の低下を防止することができる。あるいは、配線工程に先立って段差を平坦化する工程が不要となる。

【0027】(2) チャネル層や化合物半導体層が一層でよいので、エピタキシャル成長工程を簡略化することができる。

【図面の簡単な説明】

10 【図1】本発明の一実施例であるHIGFETの製造方法を示すGaAs基板の要部断面図である。

【図2】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

【図3】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

【図4】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

【図5】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

20 【図6】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

【図7】このHIGFETの製造方法を示すGaAs基板の要部断面図である。

【符号の説明】

1 GaAs基板

2 フォトレジスト膜

3 p形不純物層

3a p形拡散層

4 バッファ層

30 5 n形チャネル層

6 AlGaAs層

7 金属膜

7a ゲート電極

8 フォトレジスト膜

9 サイドウォールスペーサ

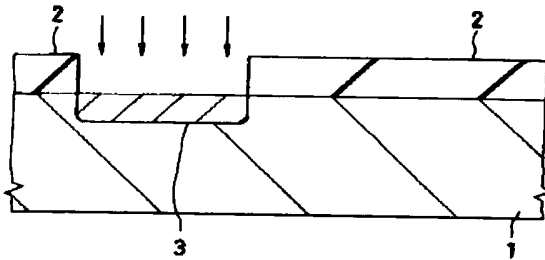
10 n⁺形半導体層

Q_D デプレッション形FET

Q_E エンハンスメント形FET

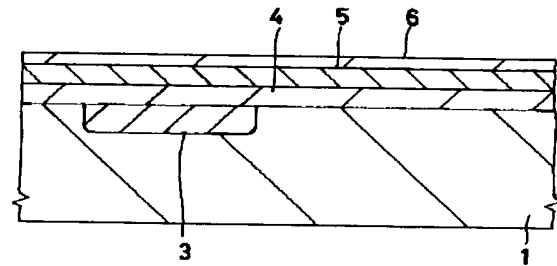
【図1】

図 1



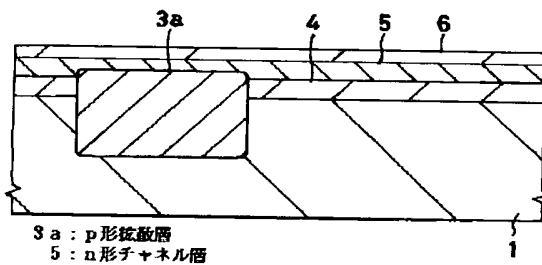
【図2】

図 2



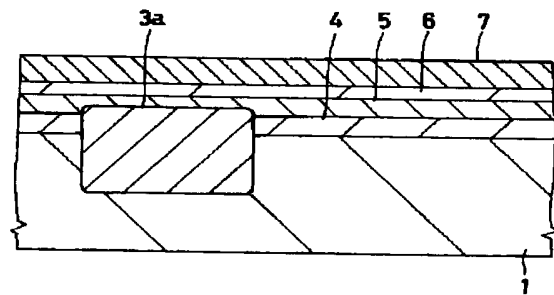
【図3】

図 3



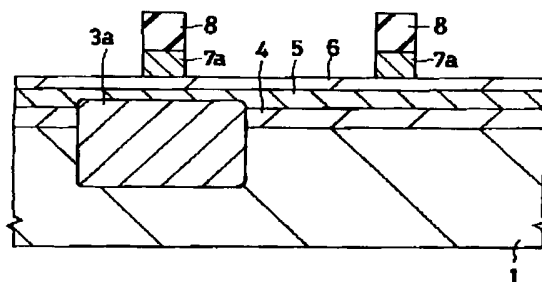
【図4】

図 4



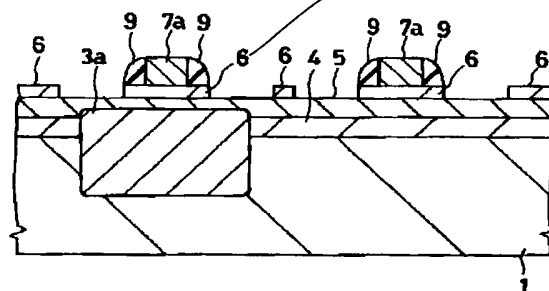
【図5】

図 5



【図6】

図 6



(5)

特開平5-47797

【図7】

図 7

